


MODEL PARAMETER OPTIMIZING APPARATUS FOR CIRCUIT SIMULATION

Patent Number: JP10065159

Publication date: 1998-03-06

Inventor(s): SUZUKI SHIGEJI

Applicant(s): SHARP CORP

Requested Patent:  JP10065159

Application Number: JP19960220900 19960822

Priority Number(s):

IPC Classification: H01L29/78; H01L21/336; G01R31/26; G06F17/50; H01L21/82; H01L29/00

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the number of divided portions of an LW region and easily obtain an appropriate parameter by optimizing a model parameter for one type of LW dimension MOS transistor, with respect to a plurality of electric characteristics of different LW dimensioned MOS transistors.

SOLUTION: One MOS transistor with arbitrary L and W dimensions is selected, and its direct current electric characteristic is measured (S1). Next, initial parameter extraction (S4) is performed on the measured data 1 obtained by a MOS transistor measuring system 1 (S2), and a parameter file for direct current analysis is generated (S5). The direct current analysis (S6) is performed by using the parameter file, and the simulation result and measured data 2 obtained (measured data as dependent characteristics I_{ds} and V_{th} , when L and W are regarded as variables) (S3) are compared (S7). The model parameter is updated (S8) until the difference between these data lie within a preset allowable difference range, and iterative analysis is performed for the optimization.

Data supplied from the esp@cenet database - I2



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-65159

(43)公開日 平成10年(1998)3月6日

(51)Int.Cl. ⁹	識別記号	F I		
H01L 29/78		H01L 29/78	301	Z
21/336		G01R 31/26		B
G01R 31/26		H01L 29/00		
G06F 17/50		G06F 15/60	666	A
H01L 21/82		H01L 21/82		C
審査請求 未請求 請求項の数 4 O L (全9頁) 最終頁に続く				

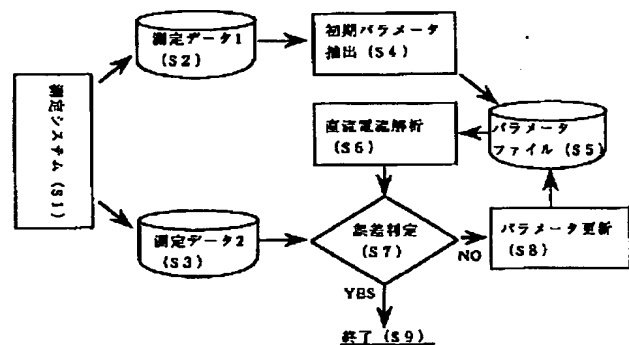
(21)出願番号	特願平8-220900	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成8年(1996)8月22日	(72)発明者	鈴木 成次 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74)代理人	弁理士 梅田 勝

(54)【発明の名称】回路シミュレーション用モデルパラメータ最適化装置

(57)【要約】

【課題】 MOSトランジスタの各L/W領域に対する最適なモデルパラメータを得る。

【解決手段】 I_{ds} 、 V_{th} のL、W形状依存特性に対して、実測値とモデルパラメータより求めた計算値の比較を行い、両者の間の誤差が所定値以下となるまで、モデルパラメータの更新を行い、その最適化を行なう。



【特許請求の範囲】

【請求項 1】 MOS トランジスタの電気特性を測定する手段と、該手段による測定結果から MOS モデルパラメータを初期抽出する手段と、MOS トランジスタのゲートチャネル長 (L) 又はゲートチャネル幅 (W) の変化に対して、上記モデルパラメータを最適化するための手段とを備えたことを特徴とする回路シミュレーション用モデルパラメータ最適化装置。

【請求項 2】 上記モデルパラメータの変更指示情報入力手段と、

MOS トランジスタの直流電気特性の測定データにより定まる、ゲートチャネル長又はゲートチャネル幅を変数としたときの、MOS トランジスタのドレイン電流 (I_{ds}) の依存特性及びしきい値電圧 (V_{th}) の依存特性を保存する手段と、

初期抽出された、又は上記モデルパラメータ変更指示情報入力手段より入力された情報により変更されたモデルパラメータより MOS トランジスタの直流電気特性をシミュレーションし、ゲートチャネル長又はゲートチャネル幅を変数としたときの、MOS トランジスタのドレイン電流 (I_{ds}) の依存特性及びしきい値電圧 (V_{th}) の依存特性を保存する手段と、

上記測定データにより定まる、MOS トランジスタの両依存特性と、上記モデルパラメータより求められた、MOS トランジスタの両依存特性とを表示する手段とを備えたことを特徴とする、請求項 1 に記載の回路シミュレーション用モデルパラメータ最適化装置。

【請求項 3】 上記モデルパラメータの変更指示情報入力手段と、

MOS トランジスタの直流電気特性の測定データにより定まる、ゲートチャネル長又はゲートチャネル幅を変数としたときの、MOS トランジスタのドレイン電流 (I_{ds}) の依存特性及びしきい値電圧 (V_{th}) の依存特性を保存する手段と、

初期抽出された、又は上記モデルパラメータ変更指示情報入力手段より入力された情報により変更されたモデルパラメータより MOS トランジスタの直流電気特性をシミュレーションし、ゲートチャネル長又はゲートチャネル幅を変数としたときの、MOS トランジスタのドレイン電流 (I_{ds}) の依存特性及びしきい値電圧 (V_{th}) の依存特性を保存する手段と、
上記測定データにより定まる、MOS トランジスタの両依存特性に対する、上記モデルパラメータより求められた、MOS トランジスタの両依存特性の誤差を計算し、その結果を表示する手段とを備えたことを特徴とする、請求項 1 に記載の回路シミュレーション用モデルパラメータ最適化装置。

【請求項 4】 所定の変更規則に従って、上記モデルパラメータを変更する手段と、

MOS トランジスタの直流電気特性の測定データにより

定まる、ゲートチャネル長又はゲートチャネル幅を変数としたときの、MOS トランジスタのドレイン電流 (I_{ds}) の依存特性及びしきい値電圧 (V_{th}) の依存特性を保存する手段と、

初期抽出された、又は上記モデルパラメータ変更指示情報入力手段より入力された情報により変更されたモデルパラメータより MOS トランジスタの直流電気特性をシミュレーションし、ゲートチャネル長又はゲートチャネル幅を変数としたときの、MOS トランジスタのドレイン電流 (I_{ds}) の依存特性及びしきい値電圧 (V_{th}) の依存特性を保存する手段と、

上記測定データにより定まる、MOS トランジスタの両依存特性に対する、上記モデルパラメータより求められた、MOS トランジスタの両依存特性の誤差を計算する手段と、

上記誤差が所定値以下となるまで、上記モデルパラメータ変更手段による変更を実行させる手段とを備えたことを特徴とする、請求項 1 に記載の回路シミュレーション用モデルパラメータ最適化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は回路シミュレーション用モデルパラメータの最適化装置に関する。

【0002】

【従来の技術】 近年、集積回路に要求される設計仕様も複雑となっており、各設計仕様を満たすため、電気的特性の異なる複数の能動素子、受動素子を組み合わせることにより回路設計を行なう。特に、集積回路では、能動素子である MOS トランジスタの L/W の寸法の組み合わせを変えた多数の MOS トランジスタを使用する

(L: ゲートチャネル長、W: ゲートチャネル幅)。

【0003】 集積回路設計では各機能の回路動作検証のために回路シミュレーションが用いられ、予め用意した MOS トランジスタのモデルパラメータを使用することにより MOS トランジスタ回路の電気特性のシミュレーションを行なう。MOS トランジスタの直流電気特性は L/W 寸法に依存して変化するため、本来は、回路設計で用いる L/W 寸法全ての組み合わせのモデルパラメータを用意することが必要である。しかし、回路設計で用いる L/W 寸法全ての組み合わせの MOS トランジスタを測定し、個別にパラメータ抽出を行なうことは非常に手間がかかるため、通常は、何種類かのモデルパラメータセットを用意し、回路設計で使用する個々のトランジスタの L/W 寸法に対して、最も適切と考えられるモデルパラメータセットを選択することで回路シミュレーションを行なう。

【0004】 次に、回路シミュレーション用モデルパラメータ抽出手順について説明する。モデルパラメータ抽出用 MOS トランジスタは、L/W 寸法の異なる MOS トランジスタが多数取り揃えてあり、回路設計の必要に

応じて選択した L/W 寸法のMOSトランジスタの $I_{ds}-V_{ds}$ 特性、 $I_{ds}-V_{gs}$ 特性、 $I_{ds}-V_{bs}$ 特性等の直流電気特性を測定する(I_{ds} :ドレイン電流、 V_{ds} :ドレイン電圧(ソース電圧基準)、 V_{gs} :ゲート電圧(ソース電圧基準)、 V_{bs} :基板電圧(ソース電圧基準))。そして、各 L/W 寸法のトランジスタごとに、測定データに基づき、モデルパラメータを抽出する。モデルパラメータを用いた回路シミュレーション値と、MOSトランジスタの $I_{ds}-V_{ds}$ 特性、 $I_{ds}-V_{gs}$ 特性、 $I_{ds}-V_{bs}$ 特性の測定データを比較し、予め設定した許容誤差範囲におさまれば抽出作業を終了する。

【0005】シミュレーション値と測定データの比較結果が許容誤差範囲に収まらない場合は、モデルパラメータを用いたシミュレーション値と測定データが許容誤差範囲内に収まるまで、モデルパラメータ値の最適化を行なう。

【0006】例として、以下にMOSモデルレベル3のパラメータ抽出手順を示す。

(1) L 、 W の異なる複数のMOSトランジスタの $I_{ds}-V_{ds}$ 特性、 $I_{ds}-V_{gs}$ 特性、 $I_{ds}-V_{bs}$ 特性等の直流電気特性を測定する。

【0007】(2) トランジスタの形状やプロセスより決定したパラメータである、ゲート酸化膜厚(T_{OX})、ドレイン・ソース拡散領域からのチャネルへの横拡散($2L_D$)、ドレイン・ソース拡散深さ(X_J)、基板表面不純物濃度(N_{SUB})、拡散シート抵抗(R_{SH})等をまず決定し、次に V_{th} (しきい値電圧)- W 特性より狭チャネル係数(Δ)、 $V_{th}-V_{ds}$ 特性より静的フィードバック効果係数(E_{TA})、 $V_{th}-V_{bs}$ 特性より零バイアス時のスレッショルド電圧(V_{TO})、基板バイアス効果係数(G_{AMM})、表面反転電位(Φ_{HI})を抽出する。 $I_{ds}-V_{gs}$ 特性よりキャリア移動度(μ_0)、移動度低下係数(θ)を抽出する。 $I_{ds}-V_{ds}$ 特性よりキャリアの最大ドリフト速度(V_{MAX})、飽和電界係数(K_{APPA})を抽出する。 $\log(I_{ds})-V_{gs}$ 特性より速い表面単位密度(N_{FS})等のパラメータ抽出を行なう。

【0008】(3) (2)にて決定したモデルパラメータを用いてMOSトランジスタ単体の直流電流解析を行ない、測定データである $I_{ds}-V_{ds}$ 特性、 $I_{ds}-V_{gs}$ 特性、 $I_{ds}-V_{bs}$ 特性と比較を行ない、予め設定された誤差範囲内で一致すればパラメータ抽出作業を終了し、パラメータ抽出装置より、各モデルパラメータを出力する。

【0009】(4) (3)にて両者が一致しなかった場合、許容誤差範囲内で両者が一致するまでMOSモデルパラメータの最適化を行ない、前記両者が許容誤差範囲に収まると、パラメータ抽出装置より各モデルパラメータ

タを出力する。

【0010】そして、回路設計で使用するMOSトランジスタの L 、 W の寸法に基づいて決定された、個々の L/W 寸法のMOSトランジスタについて(2)~(4)の操作を行ないモデルパラメータセットデータとして保存する。回路シミュレーションでは、回路中の各MOSトランジスタの L/W 寸法に応じて、モデルパラメータセットを選択する。図2にパラメータ抽出装置から出力したモデルパラメータセットの L/W 領域区分の例を示す。図2に示すように、 $1\mu m \leq L < 50\mu m$ 、 $1\mu m \leq W < 50\mu m$ の領域を4つのサブ領域に分割し、それぞれ、パラメータセットa、b、c、dと、4つのパラメータセットでMOSトランジスタの特性を代表している。パラメータセットaは($10\mu m \leq L < 50\mu m$)、($10\mu m \leq W < 50\mu m$)の領域を代表しており、 $L/W=25\mu m/25\mu m$ のMOSトランジスタの測定データよりパラメータ抽出を行なった。以下同様にパラメータセットb、c、dが実線で区分された L/W 領域に対するパラメータセットである。

【0011】形状依存パラメータを持たないMOSモデルでは、一つのパラメータセットで広範囲の L 、 W の領域をカバーすることが困難である。このため、モデルパラメータの電気的特性の近似精度向上を目的として L 、 W の領域を多数のサブ領域に分割し、各サブ領域ごとにパラメータセットを抽出する。

【0012】更に、各 L/W 領域の分割境界線では、図3の例で示すように、 L/W を変数と見なし回路シミュレーションを行なったときの電気特性が不連続となる問題が発生する。図2のパラメータセットa、パラメータセットbはそれぞれ、 $L/W=25\mu m/25\mu m$ 、 $L/W=2\mu m/25\mu m$ のMOSトランジスタ測定より抽出を行なったパラメータセットである。ここでは、 L/W 領域の分割境界線を $L=10\mu m$ として、 $10\mu m \leq L < 50\mu m$ の時、パラメータセットa、 $1\mu m \leq L < 10\mu m$ の時、パラメータセットbでMOSトランジスタの電気特性を代表させるようにした。すると、 $L/W=9\mu m/25\mu m$ の I_{ds} は、図3に示すように、シミュレーション上、 $L/W=11\mu m/25\mu m$ の I_{ds} よりも小さな値をとり、分割境界線上で不連続になっていることがわかる。

【0013】

【発明が解決しようとする課題】上記従来の技術には、以下に示す解決課題があった。

【0014】(1) モデルのカバーする領域を多数のサブ領域に分割することにより各領域ごとにモデルパラメータを用意しなければならず、モデルパラメータ抽出効率が悪くなる。

【0015】(2) 各サブ領域間の分割境界線上で、 I_{ds} 、 V_{th} 等の電気特性のシミュレーション値が不連続になる問題が発生し、従来の手法では、 L/W に対す

るMOSトランジスタの電気特性について最適化を行っていないため、シミュレーション値の不連続の改善に手間がかかる。

【0016】本発明は、上記の問題を改善するためのものである。

【0017】 L/W の異なる複数のMOSトランジスタの電気的特性に対して1種類の L/W 寸法のMOSトランジスタのモデルパラメータの最適化を行なうことで、従来技術の問題である(1)、(2)を解決する装置を提供することを目的とする。

【0018】

【課題を解決するための手段】請求項1に係る本発明は、MOSトランジスタの電気特性を測定する手段と、該手段による測定結果からMOSモデルパラメータを初期抽出する手段と、MOSトランジスタのゲートチャンネル長(L)又はゲートチャンネル幅(W)の変化に対して、上記モデルパラメータを最適化するための手段とを備えたことを特徴とする回路シミュレーション用モデルパラメータ最適化装置である。

【0019】また、請求項2に係る本発明は、上記請求項1のものに於いて、上記モデルパラメータの変更指示情報入力手段と、MOSトランジスタの直流電気特性の測定データにより定まる、ゲートチャンネル長又はゲートチャンネル幅を変数としたときの、MOSトランジスタのドレイン電流(I_{ds})の依存特性及びしきい値電圧(V_{th})の依存特性を保存する手段と、初期抽出された、又は上記モデルパラメータ変更指示情報入力手段より入力された情報により変更されたモデルパラメータよりMOSトランジスタの直流電気特性をシミュレーションし、ゲートチャンネル長又はゲートチャンネル幅を変数としたときの、MOSトランジスタのドレイン電流(I_{ds})の依存特性及びしきい値電圧(V_{th})の依存特性を保存する手段と、上記測定データにより定まる、MOSトランジスタの両依存特性と、上記モデルパラメータより求められた、MOSトランジスタの両依存特性とを表示する手段とを備えたことを特徴とする回路シミュレーション用モデルパラメータ最適化装置である。

【0020】更に、請求項3に係る本発明は、上記請求項1のものに於いて、上記モデルパラメータの変更指示情報入力手段と、MOSトランジスタの直流電気特性の測定データにより定まる、ゲートチャンネル長又はゲートチャンネル幅を変数としたときの、MOSトランジスタのドレイン電流(I_{ds})の依存特性及びしきい値電圧(V_{th})の依存特性を保存する手段と、初期抽出された、又は上記モデルパラメータ変更指示情報入力手段より入力された情報により変更されたモデルパラメータよりMOSトランジスタの直流電気特性をシミュレーションし、ゲートチャンネル長又はゲートチャンネル幅を変数としたときの、MOSトランジスタのドレイン電流(I_{ds})の依存特性及びしきい値電圧(V_{th})の依存特性

を保存する手段と、上記測定データにより定まる、MOSトランジスタの両依存特性に対する、上記モデルパラメータより求められた、MOSトランジスタの両依存特性の誤差を計算し、その結果を表示する手段とを備えたことを特徴とする回路シミュレーション用モデルパラメータ最適化装置である。

【0021】また請求項4に係る本発明は、上記請求項1のものに於いて、所定の変更規則に従って、上記モデルパラメータを変更する手段と、MOSトランジスタの直流電気特性の測定データにより定まる、ゲートチャンネル長又はゲートチャンネル幅を変数としたときの、MOSトランジスタのドレイン電流(I_{ds})の依存特性及びしきい値電圧(V_{th})の依存特性を保存する手段と、初期抽出された、又は上記モデルパラメータ変更指示情報入力手段より入力された情報により変更されたモデルパラメータよりMOSトランジスタの直流電気特性をシミュレーションし、ゲートチャンネル長又はゲートチャンネル幅を変数としたときの、MOSトランジスタのドレイン電流(I_{ds})の依存特性及びしきい値電圧(V_{th})の依存特性を保存する手段と、上記測定データにより定まる、MOSトランジスタの両依存特性に対する、上記モデルパラメータより求められた、MOSトランジスタの両依存特性の誤差を計算する手段と、上記誤差が所定値以下となるまで、上記モデルパラメータ変更手段による変更を実行させる手段とを備えたことを特徴とする回路シミュレーション用モデルパラメータ最適化装置である。

【0022】本発明は回路シミュレーション用モデルパラメータの最適化装置であり、図1に示されるように、MOSトランジスタ直流電流測定装置1と、測定制御装置2と外部記憶装置3とから成るMOSトランジスタ電気特性測定手段4と、MOSトランジスタの測定データよりMOSモデルパラメータを初期抽出する手段5と、モデルパラメータを最適化する手段6と、MOSトランジスタの電気特性等を表示する表示手段7と、キーボード8とを有する。

【0023】図4にモデルパラメータ最適化の流れ図を示す。まず、回路シミュレーション用MOSモデルパラメータの初期抽出を行なうため、任意の L 、 W 寸法のMOSトランジスタを一つ選び、測定システムS1にてMOSトランジスタの直流電気特性の測定を行なう。そして、前記測定システムS1にて測定したモデルパラメータ初期抽出用の測定データ1(S2)に対して初期パラメータ抽出(S4)を行ない直流電流解析用パラメータファイル(S5)を作成する。

【0024】次に、回路シミュレーション用MOSモデルパラメータを最適化するために、 W を固定し、複数の L をもつMOSトランジスタ素子群に対して、測定システムS1にて各直流電気特性を測定する。MOSトランジスタに与えるバイアス条件 V_{ds} 、 V_{gs} 、 V_{bs} を

固定した時に得られる $I_{ds}-L$ 特性、 V_{ds} 、 V_{bs} を固定した時に得られる $V_{th}-L$ 特性を測定データ 2 (S3) にそれぞれ保管しておく。同様に、 L を固定し、複数の W をもつ MOS トランジスタ素子群に対して、各直流電気的特性を測定する。MOS トランジスタに与えるバイアス条件 V_{ds} 、 V_{gs} 、 V_{bs} を固定した時に得られる $I_{ds}-W$ 特性、 V_{ds} 、 V_{bs} を固定した時に得られる $V_{th}-W$ 特性を測定データ 2 (S3) にそれぞれ保管しておく。

【0025】次に、前記パラメータファイル (S5) を用いて、前記測定を行なった I_{ds} 、 V_{th} の L 、 W サイズに対応した直流電気的特性の計算を行なう (S6)。そして、 L 、 W を変数と見なした時の I_{ds} の依存特性、 V_{th} の依存特性について、測定データ、シミュレーション値の比較を行ない (S7)、両者間の 2 乗誤差が小さくなるように MOS モデルパラメータを更新する (S8)。同様に、更新された MOS モデルパラメータファイル (S5) を用いて、直流電気的特性の計算を行ない (S6)、測定データ、シミュレーション値の比較を行ない (S7)、両者の 2 乗誤差が小さくなるように MOS モデルパラメータを更新する (S8) という反復計算をおこなう。

【0026】前記両者の誤差が、予め設定した許容誤差範囲に収まれば、反復解析は終了する (S9)。

【0027】上記のように構成されたモデルパラメータ最適化装置では、MOS トランジスタ測定システムより得られた直流電気特性データに基づき MOS トランジスタパラメータ抽出装置によりモデルパラメータの初期抽出を行ない、表示装置により MOS トランジスタの電気的特性と回路シミュレータの出力である回路シミュレーション結果の特性グラフを表示し、パラメータ最適化装置にて測定データである直流電気特性の L 、 W 依存性との比較を行ない、初期抽出パラメータ値をマニュアルもしくは自動的に変更してパラメータの最適化をすることができる。

【0028】

【発明の実施の形態】以下に、本発明のパラメータ最適化装置について詳細に説明する。図 1 に示すように、MOS トランジスタ測定手段 4 は、MOS トランジスタの直流電流測定装置 1 と測定装置制御プログラムを内蔵した制御装置 2 と測定データを保持する外部記憶装置 3 より構成している。そして、外部記憶装置 3 はネットワークを介して、パラメータ抽出プログラムを内蔵したパラメータ抽出装置 5 と結合し、MOS トランジスタの電気特性データに基づいてパラメータ抽出を行ない、初期抽出パラメータを得る。

【0029】図 4 に示したパラメータ最適化の流れ図に従い、(S1) で I_{ds} 、 V_{th} データを測定し、 L 、 W を変数と見なした時の I_{ds} の依存特性、 V_{th} の依存特性を測定データ 2 (S3) に保管する。

【0030】まず、初期抽出パラメータファイル (S5) を用いて直流電流解析 (S6) を行ない、得られたシミュレーション結果と前記測定データ 2 (S3) を比較し (S7)、前記両者の誤差が予め設定した、許容誤差範囲に収まらなければ、両者の 2 乗誤差が小さくなるようにモデルパラメータを更新する (S8)。同様に、更新された MOS モデルパラメータファイル (S5) を用いて、直流電気的特性の計算を行ない (S6)、測定データ、シミュレーション値の比較を行ない (S7)、両者の 2 乗誤差が小さくなるようにモデルパラメータを更新する (S8) という反復計算を行なう。

【0031】モデルパラメータの変更は、予め変更の規則を定めて装置に記憶させておき、上記両者の誤差が予め設定した値以上であれば、上記規則に従ってパラメータの変更を装置内部で自動的に実行させる。

【0032】尚、モデルパラメータの変更を装置使用者が指示するようにしてもよく、この場合は、上記誤差を表示装置にて表示させ、この値が許容範囲を超えているものであるときは、使用者は、変更指示情報をキーボードより入力する。この入力情報によりモデルパラメータが変更され、この変更後のものによるシミュレーション結果と実測値とが比較される。

【0033】また、実測値とシミュレーション値の誤差を計算して、これを表示させる代わりに、データ (特性) そのものを表示装置で同時表示させ、この表示結果が使用者が確認して、許容範囲内のものでなければ、変更指示情報を入力する構成であってもよい。

【0034】レベル 3 モデルを例にとると、S8 で $V_{th}-L$ 特性よりパラメータ E_{TA} 、 $GAMMA$ 、 V_{TO} の最適化を行ない、 $V_{th}-W$ 特性より、パラメータ D_{ELTA} の最適化を行ない、 $I_{ds}-L$ 特性に対してパラメータ L_D 、 X_J 、 $NSUB$ 、 V_{MAX} 、 $KAPPA$ の最適化を行ない、 $I_{ds}-W$ 特性より W の実行長 W_{eff} の計算を行なう。そして、パラメータの最適化後、実測値とシミュレーション値を表示装置 7 により比較し、電気特性を確認する。

【0035】以下に MOS レベル 3 モデルについて、パラメータ最適化の実施例を述べる。

【0036】 $L/W = 25 \mu m / 25 \mu m$ にて初期抽出したパラメータセット a のシミュレーション値と実測値を比較した。図 5 はパラメータセット a を用いた $L/W = 2 \mu m / 25 \mu m$ のトランジスタの $I_{ds}-V_{ds}$ 特性、図 6 は $V_{th}-L$ 特性である。グラフ内の実線がシミュレーション値、黒点が実測値である。

【0037】図 5、図 6 より明らかにパラメータセット a では $L/W = 2.0 \mu m / 25 \mu m$ のトランジスタ特性を近似できないことがわかる。

【0038】 $L/W = 25 \mu m / 25 \mu m$ にて初期抽出したパラメータセット N1 を $L = \{25, 2.0, 1.0, 0.8 \mu m\}$ 、 $W = 25 \mu m$ の実測値より算出され

10

20

30

40

50

た V_{th} に対して最適化する。このときの、バイアス条件は $V_{ds} = \{0.05, 3.0, 4.0, 5.0 \text{ v}\}$ 、 $V_{bs} = 0.0 \text{ v}$ である。測定データと最適化後のシミュレーション値を図7、図8にて比較した。図7は最適化後のパラメータセットa1を用いた $L/W = 2 \text{ } \mu\text{m} / 25 \text{ } \mu\text{m}$ のトランジスタの $I_{ds} - V_{ds}$ 特性、図8は $V_{th} - L$ 特性である。グラフ内の実線がシミュレーション値、黒点が実測値である。前記図と比較して明らかに改善されていることがわかる。

【0039】従来の手法では精度向上のため、 L/W 領域を多数のサブ領域に分割し、パラメータ抽出を行っていたが、本発明では精度を劣化させずに L/W 領域の分割箇所を減らすことが可能である。更に、図9に最適化後のパラメータセットa1、b1を用いた $I_{ds} - L$ 特性のシミュレーション例を示した。図2と同様に、 L/W 領域の分割境界線を $L = 10 \text{ } \mu\text{m}$ とし、実線はシミュレーション値、黒点は実測値とする。

【0040】図2の例に比べ、分割境界線上に I_{ds} の不連続性が抑えられていることがわかる。

【0041】

【発明の効果】以上のように本発明による回路シミュレーション用モデルパラメータ最適化装置では多数の L/W トランジスタについてモデルパラメータ抽出する必要がなく、 I_{ds} 、 V_{th} の L 、 W 形状依存特性に対して、パラメータの最適化を行なうことで L/W 領域に対する最適なパラメータを容易に得ることができる。更に、各サブ領域間の分割境界線上で、 I_{ds} 、 V_{th} 等の電気特性のシミュレーション値の不連続が容易に改善できる。以上の理由よりパラメータの抽出作業効率が良くなる。

【0042】さらに、 I_{ds} 、 V_{th} などの L 、 W 依存特性を実測、シミュレーション結果と同時に重ね合わせて表示することにより、プロセス特性とシミュレーシ

ン精度が視覚的に同時確認できるため作業効率が向上する。

【図面の簡単な説明】

【図1】本発明によるパラメータ最適化装置の構成図である。

【図2】従来のパラメータ抽出装置により抽出されたモデルパラメータセットの領域区分の例を示す図である。

【図3】サブ領域間の分割境界線上のシミュレーション値の不連続の例を示す図である。

【図4】本発明に基づくパラメータ最適化装置の処理の流れ図である。

【図5】初期抽出したパラメータセットのシミュレーション値と実測値の比較例（ $I_{ds} - V_{ds}$ 特性）を示す図である。

【図6】初期抽出したパラメータセットのシミュレーション値と実測値の比較例（ $V_{th} - L$ 特性）を示す図である。

【図7】パラメータ最適化後のシミュレーション値と実測値の比較例（ $I_{ds} - V_{ds}$ 特性）を示す図である。

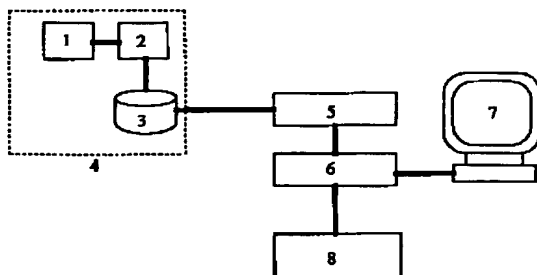
【図8】パラメータ最適化後のシミュレーション値と実測値の比較例（ $V_{th} - L$ 特性）を示す図である。

【図9】パラメータ最適化後のシミュレーション値と実測値の比較例（ $I_{ds} - L$ 特性）を示す図である。

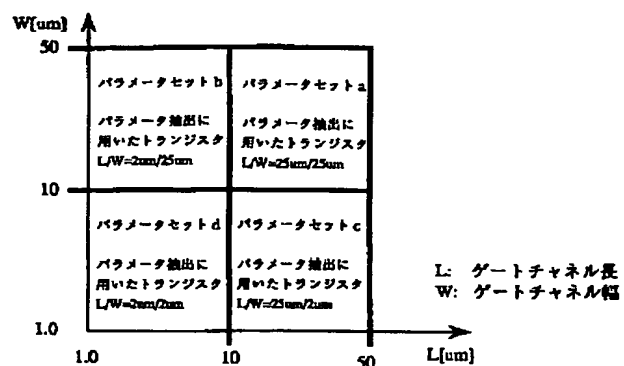
【符号の説明】

- 1 MOSトランジスタ直流電流測定装置
- 2 測定制御装置
- 3 外部記憶装置
- 4 MOSトランジスタ測定手段
- 5 パラメータ初期抽出手段
- 6 パラメータ最適化手段
- 7 表示手段
- 8 キーボード

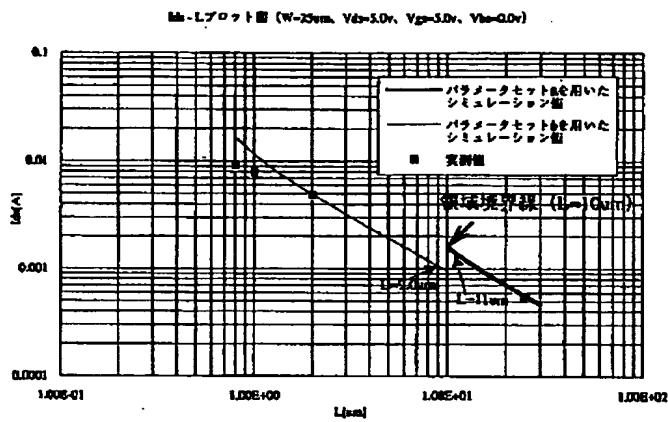
【図1】



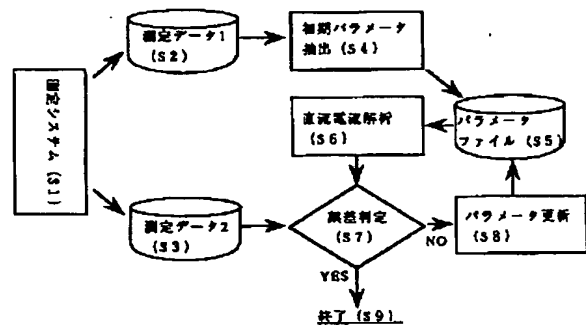
【図2】



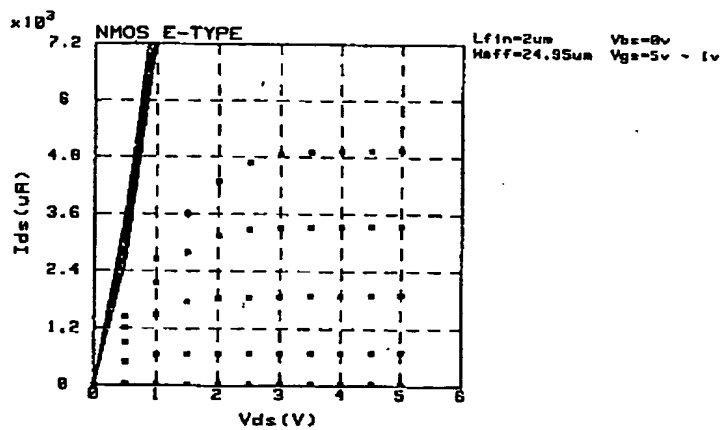
【図3】



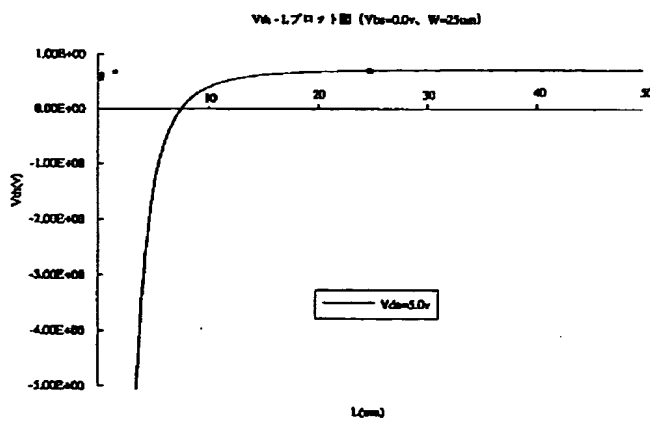
【図4】



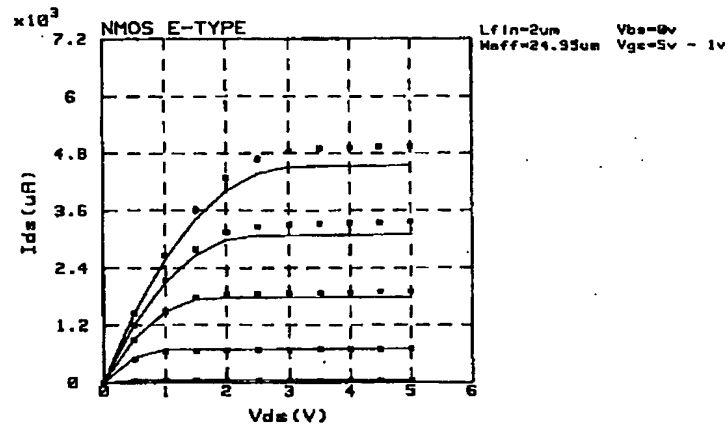
【図5】



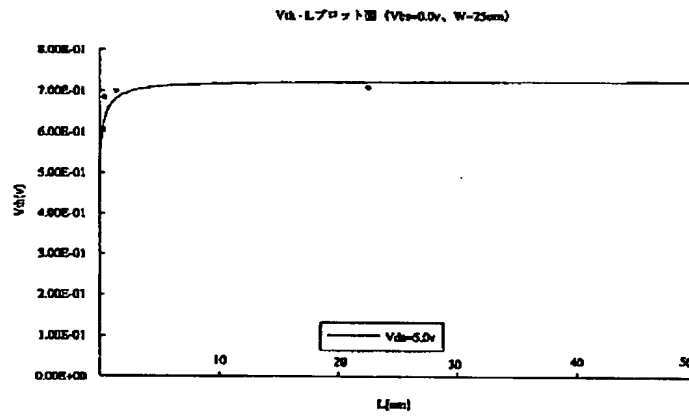
【図6】



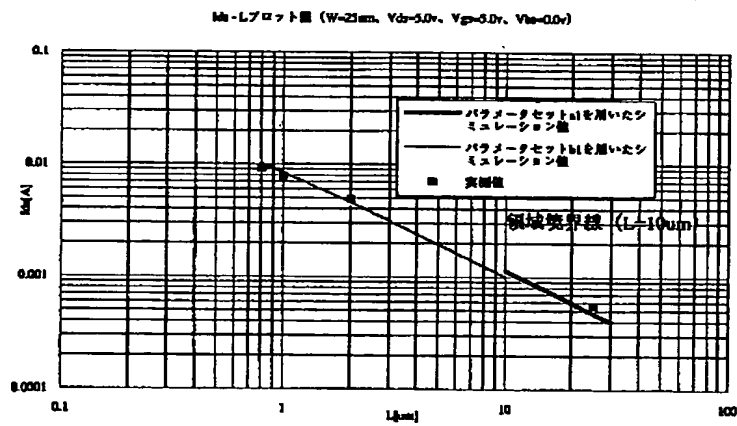
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.[°]
29/00

識別記号

F I

